

◆ Korean Patent Application Laid-Open No. 1998-083989 (1998)

“Semiconductor Device and Method of Manufacturing The Same”

The following is an extract relevant to the present invention:

5

This invention relates to a semiconductor device. The semiconductor device comprises: a semiconductor device; a buried insulating layer formed on the semiconductor substrate; monocrystalline silicon layers of a first conductivity which are formed on the buried insulating layer with a space being left therebetween; a first
10 field oxide film which is formed in the monocrystalline silicon layers so as to be in contact with the buried insulating layer in a first field region defining an active region composed of a transistor region and a contact region; and a second field oxide film which is formed in the monocrystalline silicon layers so as not be in contact with the buried insulating layer in a second field region defining the transistor region
15 and the contact region; a gate formed on the monocrystalline silicon layer in the transistor region with a gate oxide film interposed therebetween; an impurity region formed of impurities of a second conductivity type which are heavily doped in the monocrystalline silicon layers in the transistor region; and a substrate contact region formed of impurities of the first conductivity type which are lightly doped in the
20 monocrystalline silicon layers in the contact region.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸

H01L 21/20

(11) 공개번호 특1998-083989

(43) 공개일자 1998년12월05일

(21) 출원번호 특1997-019545

(22) 출원일자 1997년05월20일

(71) 출원인 엘지반도체 주식회사 문정환

충청북도 청주시 흥덕구 향정동 1번지

(72) 발명자 손정환

대전광역시 서구 월평1동 월평타운아파트 103-601호

이혁재

충청북도 청주시 흥덕구 봉명2동 초원아파트 101-302

(74) 대리인 양순석

심사청구 : 있음

(54) 반도체장치 및 그의 제조방법

요약

본 발명은 반도체장치 및 그의 제조방법에 관한 것으로서 반도체기판과 상기 반도체기판 상에 형성된 매립절연층과, 상기 매립절연층 상에 이격되게 형성된 제1도전형의 단결정실리콘층과, 상기 단결정실리콘층에 트랜지스터영역 및 접촉영역으로 이루어진 활성영역을 한정하는 제1필드영역에 상기 매립절연층과 접촉되게 형성되는 제1필드산화막과, 상기 단결정실리콘층에 상기 트랜지스터영역과 상기 접촉영역을 한정하는 제2필드영역에 상기 매립절연층과 접촉되지 않게 형성되는 제2필드산화막과, 상기 단결정실리콘층의 트랜지스터영역 상에 게이트산화막을 개재시켜 형성된 게이트와, 상기 단결정실리콘층의 트랜지스터영역에 제2도전형의 불순물이 고농도로 도핑되어 형성된 불순물영역과, 상기 단결정실리콘층의 접촉영역에 제1도전형의 불순물이 고농도로 도핑되어 형성된 기판접촉영역을 포함한다. 따라서, 활성영역마다 서로 다른 기판 전압을 인가하여 소자 및 회로의 최적화가 용이하며, 또한, CMOS 구조에서 활성영역을 전기적으로 완전히 분리하므로 래치-업 현상이 발생하는 것을 방지할 수 있다.

도표도

도2

명세서

도면의 간단한 설명

도 1(A) 내지 (D)는 종래 기술에 따른 반도체장치의 제조공정도

도 2는 본 발명의 일 실시예에 따른 반도체장치의 단면도

도 3은 본 발명의 다른 실시예에 따른 반도체장치의 단면도

도 4(A) 내지 (E)는 도 2에 도시된 반도체장치의 제조 공정도

도 5(A) 내지 (D)는 도 3에 도시된 반도체장치할 제1실시 태양에 따른 제조 공정도

도 6(A) 내지 (C)는 도 3에 도시된 반도체장치를 제2실시 태양에 따른 제조 공정도

도 7(A) 내지 (C)는 도 3에 도시된 반도체장치를 제3실시 태양에 따른 제조 공정도

도면의 주요 부분에 대한 부호의 설명

31 : 반도체기판33 : 매립절연층

35 : 단결정실리콘층37 : 패드산화막

39 : 마스크층41 : 포토레지스트 패턴

43, 45 : 제1 및 제2 홈47, 49 : 제1 및 제2 필드산화막

51 : 게이트산화막53 : 게이트

55 : 불순물영역57 : 기판접촉영역

T11 : 트랜지스터영역BC11 : 접촉영역

F11, F12 : 제1 및 제2 필드영역

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치 및 그의 제조방법에 관한 것으로서, 특히, 매립절연층을 사용하여 인접하는 소자들 사이를 전기적으로 분리시키는 반도체장치 및 그의 제조방법에 관한 것이다.

반도체장치가 고집적화됨에 따라 인접하는 소자들 사이의 미격 거리가 작아지게 된다. 인접하는 소자들 사이의 미격 거리가 작아짐에 따라 원하지 않는 전기적 결합이 발생된다. 이러한 원하지 않는 전기적 결합으로, 예를 들면, CMOS(Complementary Metal Oxide Semiconductor)에서 NMOS와 PMOS 사이에 기생바이폴라 트랜지스터가 형성되므로 발생되는 래치 업(latch up) 현상 등이 있다.

이러한 문제점을 해결하기 위해 반도체기판 상에 절연층이 형성되고 이 절연층 상에 디플리션영역(depletion layer)으로 사용되는 단결정실리콘층이 얇게 형성된 SOI(Silicon On Insulator) 구조를 갖는 반도체장치가 개발되었다. SOI 구조를 갖는 반도체장치는 SIMOX(Separation by Implanted Oxygen) 기판 또는 BESOI(Bonded and Etchback SOI) 기판 등을 사용하여 형성된다. 상기에서, SIMOX 기판은 반도체기판 내에 산소(O₂) 또는 질소(N)를 이온주입하여 매립 절연층을 형성함으로써 만든다. 또한, BESOI 기판은 SiO₂층 또는 Si₃N₄층 등의 절연층이 형성된 2개의 반도체기판을 녹여 붙인 후 1개의 반도체기판을 소정 두께가 되도록 식각하여 만든다.

상기에서, SOI 구조를 갖는 반도체장치는 절연층에 의해 반도체기판과 단결정실리콘층을 절연시키는 것에 의해 PN 접합을 방지함으로써 기생 바이폴라 트랜지스터의 형성과 같은 원하지 않는 전기적 결합을 방지한다.

그러나, SOI 구조를 갖는 반도체장치에 있어서 기판접촉(body contact)을 하지 않을 경우 드레인영역 부근에서 높은 전계에 의해 채널이나 기판에서 발생된 캐리어(carrier)가 축적된다. 그러므로, 플로팅 바디 효과(floating body effect)가 발생되어 소자의 동작 특성이 변하게 된다.

따라서, 바디 콘택시켜 플로팅 바디 효과를 방지할 수 있는 SOI 구조를 갖는 반도체장치가 개발되었다.

도 1(A) 내지 (D)는 종래 기술에 따른 반도체장치의 제조공정도이다.

도 1(A)를 참조하면, 반도체기판(11) 상에 매립절연층(13)이 형성되고, 이 매립절연층(13)상에 500~2000 Å 정도 두께의 P형 단결정실리콘층(15)이 형성된다. 상기에서, 반도체기판(11)상에 매립절연층(13) 및 단결정실리콘층(15)은 SIMOX 방법 또는 BE 방법으로 형성된다. 매립절연층(13) 및 단결정실리콘층(15)이 SIMOX 방법으로 형성될 때에는 단결정실리콘층(15)과 동일한 P형의 반도체기판(11)이 사용되고, BE 방법으로 형성될 때에는 P형 또는 N형의 반도체기판(11)이 사용된다.

단결정실리콘층(15) 상에 열산화방법에 의해 패드산화막(17)을 형성하고, 이 패드산화막(17) 상에 화학 기상증착(Cheical Vapor Deposition : 이하, CVD라 칭함) 방법으로 질화실리콘을 증착하여 마스크층(18)을 형성한다. 그리고, 마스크층(18) 및 패드산화막(17)을 단결정실리콘층(15)이 노출되도록 포토리쓰그래피(photolithography)방법으로 패터닝하여 트랜지스터영역(T1) 및 접촉영역(BC1)으로 이루어진 활성영역과 제1 및 제2 필드영역(F1)(F2)으로 이루어진 필드영역을 한정한다. 마스크층(18)을 식각마스크로 사용하여 단결정실리콘층(15)의 노출된 부분을 반응성이온식각(Reactive Ion Etching : 이하, RIE라 칭함) 등의 방법으로 이방성식각하여 홈(19)을 형성한다. 이 때, 홈(19)을 매립절연층(13)이 노출되지 않도록 형성한다.

도 1(B)를 참조하면, 마스크층(18) 및 패드산화막(17)을 제거하여 단결정실리콘층(15)의 표면을 노출시킨다. 그리고, 단결정실리콘층(15) 상에 홈(19)을 채우도록 CVD 방법으로 산화실리콘을 증착한다. 그리고, 산화실리콘을 단결정실리콘층(15)의 표면이 노출되도록 RIE 또는 화학기계적연마(Cheical Mechanical Polishing : 이하 CMP라 칭함) 방법 등으로 에치백(etchback)하여 홈(19)의 내부에 필드산화막(21)을 형성한다.

도 1(C)를 참조하면, 단결정실리콘층(15)의 표면에 열산화 방법으로 게이트산화막(23)을 형성한다. 그리고, 필드산화막(21) 및 게이트산화막(23) 상에 불순물이 도핑된 비정질실리콘 또는 다결정실리콘을 CVD 방법으로 증착하고 트랜지스터영역(T1)의 소정 부분에만 잔류하도록 포토리쓰그래피 방법으로 패터닝하여 게이트(25)를 형성한다.

도 1(D)를 참조하면, 트랜지스터영역(T1)의 게이트(25) 양측에 아세닉(As) 또는 인(P) 등의 N형의 불순물이 고농도로 도핑되어 소오스 및 드레인영역으로 이용되는 불순물영역(27)을 형성하고, 접촉영역(BC1)에 보론(B) 또는 BF₃ 등의 P형 불순물이 고농도로 도핑된 기판접촉영역(29)을 형성한다. 따라서, 불순물영역(27)은 접촉영역(BC1) 상에 포토레지스트 패턴을 형성한 후 이 포토레지스트 패턴과 게이트를 마스크로 사용하여 N형의 불순물을 높은 도우즈로 이온주입함으로써 형성된다. 그리고 기판접촉영역(29)은 불순물영역(27)을 형성하기 위한 포토레지스트 패턴을 제거하고, 다시 트랜지스터영역(T1) 상에 포토레지스트 패턴을 형성한 후 접촉영역(BC1)에 P형 불순물을 높은 도우즈로 이온주입함으로써 형성된다. 그 다음, 마스크로 사용된 포토레지스트 패턴을 제거한다.

상술한 바와 같이 종래 기술에 따른 반도체장치는 필드산화막이 매립절연층과 이격되게 형성되므로 트랜지스터영역에서 발생된 캐리어를 기판접촉영역을 통해 방출시키므로 플로팅 바디 효과를 방지할 수 있다.

그러나, 종래 기술에 따른 반도체장치는 트랜지스터영역이 모두 연결되어 기판전압을 소자마다 서로 다르게 인가할 수 없으므로 소자 및 회로를 최적화시키기 어려운 문제점이 있었다. 또한, CMOS 구조에서

래치-업 현상이 발생하는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 소자마다 서로 다른 기판 전압을 인가하여 소자 및 회로의 최적화가 용이한 반도체장치 및 그의 제조방법을 제공함에 있다.

본 발명의 다른 목적은 CMOS 구조에서 래치-업 현상이 발생하는 것을 방지할 수 있는 반도체장치 및 그의 제조방법을 제공함에 있다.

상기 목적들을 달성하기 위한 본 발명에 따른 반도체장치는 반도체기판과, 상기 반도체기판 상에 형성된 매립절연층과, 상기 매립절연층 상에 이격되게 형성된 제1도전형의 단결정실리콘층과, 상기 단결정실리콘층에 트랜지스터영역 및 접촉영역으로 이루어진 활성영역을 한정하는 제1필드영역에 상기 매립절연층과 접촉되게 형성되는 제1필드산화막과, 상기 단결정실리콘층에 상기 트랜지스터영역과 상기 접촉영역을 한정하는 제2필드영역에 상기 매립절연층과 접촉되지 않게 형성되는 제2필드산화막과, 상기 단결정실리콘층의 트랜지스터영역 상에 게이트산화막을 개재시켜 형성된 게이트와, 상기 단결정실리콘층의 트랜지스터영역에 제2도전형의 불순물이 고농도로 도핑되어 형성된 불순물영역과, 상기 단결정실리콘층의 접촉영역에 제1도전형의 불순물이 고농도로 도핑되어 형성된 기판접촉영역을 포함한다.

상기 목적들을 달성하기 위한 본 발명에 따른 반도체장치의 제조방법은 반도체기판 상에 매립절연층이 형성되고, 상기 매립절연층 상에 형성된 제1도전형의 단결정실리콘층 상에 패드산화막 및 마스크층을 형성하고 패터닝하여 트랜지스터영역 및 접촉영역으로 이루어진 활성영역과 제1 및 제2 필드영역으로 이루어진 필드영역을 한정하는 공정과, 상기 단결정실리콘층의 상기 제1필드영역을 제1이방성식각하여 제1홀을 형성하는 공정과, 상기 단결정실리콘층의 상기 제2필드영역을 제2이방성식각하여 제2홀을 형성함과 동시에 상기 제1홀도 식각하여 상기 매립절연층을 노출시키는 공정과, 상기 마스크층 및 상기 패드산화막을 제거하고 상기 제1 및 제2홀 내부에 제1 및 제2 필드산화막을 형성하는 공정을 구비한다.

이하, 첨부된 도면을 참조하여 본 발명을 상세히 설명한다.

발명의 구성 및 작용

도 2는 본 발명의 일 실시예에 따른 반도체장치의 단면도이다.

본 발명의 일 실시예에 따른 반도체장치는 반도체기판(31) 상에 매립절연층(33)이 형성되고, 매립절연층(33) 상에 P형의 불순물이 도핑된 단결정실리콘층(35)이 300~1500 Å 정도 두께로 형성된다. 상기에서, 매립절연층(33) 및 단결정실리콘층(35)은 SOI 구조를 이루는 것으로 SIMOX 방법 또는 BE 방법 등으로 형성된다. 상기에서 매립절연층(33) 및 단결정실리콘층(35)이 SIMOX 방법으로 형성되는 경우에는 반도체기판(31)은 단결정실리콘층(35)과 동일한 P형이 사용되고, BE방법으로 형성된 경우에는 단결정실리콘층(35)과 무관하게 P형 또는 N형의 반도체기판(31)이 사용된다. 또한, 단결정실리콘층(35)이 P형의 불순물이 도핑된 것으로 설명하였으나 N형의 불순물이 도핑될 수도 있다.

단결정실리콘층(35) 내에 트랜지스터영역(T11)으로 이루어진 활성영역을 한정하는 제1 및 제2 필드영역(F11)(F12)에 제1 및 제2 홀(43)(45)이 형성된다. 상기에서, 제1홀(43)은 매립절연층(33)이 노출되도록 형성되며, 제2홀(45)은 매립절연층(33)이 노출되지 않도록 제1홀(43)보다 얇게 형성된다. 그리고, 제1 및 제2 홀(43)(45)의 내부에 산화실리콘이 채워져 제1 및 제2 필드산화막(47)(49)이 형성된다. 즉, 본 발명의 일 실시예에 따른 반도체장치는 제1 및 제2 필드산화막(47)(49)이 STI(Shallow Trench Isolation) 구조를 갖는다.

상기에서 제1필드산화막(47)은 매립절연층(33)과 연결되게 형성되어 소자들을 인접하는 소자들과 완전히 절연시키고, 제2필드산화막(49)은 매립절연층(33)과 연결되지 않게 형성되어 같은 활성영역 내의 트랜지스터영역(T11)과 접촉영역(BC11)이 연결되도록 한다.

단결정실리콘층(35)의 트랜지스터영역(T11) 상의 소정 부분에 게이트산화막(51)을 개재시켜 게이트(53)가 형성된다. 그리고, 단결정실리콘층(35)의 트랜지스터영역(T11)의 게이트(53) 양측에 아세닉(As) 또는 인(P) 등의 N형의 불순물이 고농도로 도핑되어 소오스 및 드레인영역으로 이용되는 불순물영역(55)이 형성된다. 단결정실리콘층(35)의 접촉영역(BC11)이 보론(B) 또는 BF₃ 등의 P형 불순물이 고농도로 도핑된 기판접촉영역(57)이 형성된다.

도 3은 본 발명의 다른 실시예에 따른 반도체장치의 단면도이다.

본 발명의 다른 실시예에 따른 반도체장치는 제1 및 제2 필드산화막(47)(49)은 STI 구조로 형성되지 않고 LOCOS(Local Oxidation of Silicon) 계열의 구조로 형성된 것을 제외하고 본 발명의 일 실시예에 따른 반도체장치와 동일한 구조로 형성된다.

상술한 바와 같이 본 발명에 따른 반도체장치는 트랜지스터영역 및 접촉영역으로 이루어져 소자들이 형성되는 활성영역을 한정하는 제1필드영역에 형성되는 제1필드산화막을 매립절연층과 접촉되게 형성하여 인접하는 소자들을 전기적으로 완전히 분리시키고, 활성영역 내에 트랜지스터영역 및 접촉영역을 한정하는 제2필드영역에 제2필드산화막을 매립절연층과 접촉되지 않도록 형성한다. 그러므로, 활성영역마다 기판접촉영역을 통해 서로 다른 기판 전압을 인가하여 소자 및 회로의 최적화가 용이하며, 또한, CMOS 구조에서 인접하는 활성영역을 전기적으로 완전히 분리하므로 래치-업 현상이 발생하는 것을 방지할 수 있다.

도 4(A) 내지 (E)는 도 2에 도시된 반도체장치의 제조 공정도이다.

도 4(A)를 참조하면, 반도체기판(31) 상에 매립절연층(33)이 형성되고, 이 매립절연층(33) 상에 500~2000 Å 정도 두께의 P형 단결정실리콘층(35)이 형성된다. 상기에서, 반도체기판(31) 상에 매립절연층(33) 및 단결정실리콘층(35)은 SIMOX 방법 또는 BE 방법으로 형성된다. 매립절연층(33) 및 단결정실리

콘층(35)이 SIMOX 방법으로 형성될 때에는 단결정실리콘층(35)과 동일한 P형의 반도체기판(31)이 사용되고, BE 방법으로 형성될 때에는 P형 또는 N형의 반도체기판(31)이 사용된다.

단결정실리콘층(35) 상에 열산화방법에 의해 100~200 Å 정도 두께의 패드산화막(37)을 형성하고, 이 패드산화막(37) 상에 CVD 방법으로 질화실리콘을 1000~2000 Å 정도 두께로 증착하여 마스크층(39)을 형성한다. 그리고, 마스크층(39) 및 패드산화막(37)을 단결정실리콘층(35)이 노출되도록 포토리소그래피 방법으로 패터닝하여 트랜지스터영역(T11) 및 접촉영역(BC11)으로 이루어진 활성영역과 제1 및 제2 필드영역(F11)(F12)으로 이루어진 필드영역을 한정한다.

도 4(B)를 참조하면, 단결정실리콘층(35)을 상에 제1필드영역(F11)을 노출시키는 포토레지스트 패턴(41)을 형성한다. 그리고, 포토레지스트 패턴(41)을 식각마스크로 사용하여 단결정실리콘층(35)이 노출된 제1필드영역(F11)을 RIE 등의 방법으로 1/2정도, 즉, 250~1000 Å 정도의 깊이로 이방성식각하여 제1홀(43)을 형성한다.

도 4(C)를 참조하면, 포토레지스트 패턴(41)을 제거하여 단결정실리콘층(35)의 제2필드영역(F12)을 노출시킨다. 그리고, 마스크층(39)을 식각마스크로 사용하여 단결정실리콘층(35)의 제1 및 제2 필드영역(F11)(F12)을 다시 RIE 등의 방법으로 이방성식각한다. 이때, 제1필드영역(F11) 내의 제1홀(43)은 깊이가 더 깊어지며, 제2필드영역(F12) 내의 제2홀(45)이 형성된다. 상기에서 제2홀(45)을 제1홀(43)에 의해 매립절연층(33)이 노출될 때까지 식각하여 형성한다.

도 4(D)를 참조하면, 마스크층(39) 및 패드산화막(37)을 제거하여 단결정실리콘층(35)의 표면을 노출시킨다. 그리고, 단결정실리콘층(35) 상에 제1 및 제2홀(43)(45)을 채우도록 CVD 방법으로 산화실리콘을 증착한다. 그리고, 산화실리콘을 단결정실리콘층(35)의 표면이 노출되도록 RIE 또는 CMP 방법 등으로 에치백하여 제1 및 제2홀(43)(45)의 내부에 제1 및 제2 필드산화막(47)(49)을 형성한다. 이때, 제1필드산화막(47)은 매립절연층(33)과 연결되게 형성되어 소자들을 인접하는 소자들과 완전히 절연시키고, 제2필드산화막(49)은 매립절연층(33)과 연결되지 않게 형성되어 같은 활성영역 내의 트랜지스터영역(T11)과 접촉영역(BC11)이 연결되도록 한다.

단결정실리콘층(35)의 표면에 열산화방법으로 40~100 Å 정도 두께의 게이트산화막(51)을 형성한다. 그리고, 제1 및 제2필드산화막(47)(49) 및 게이트산화막(51) 상에 불순물이 도핑된 비정질실리콘 또는 다결정실리콘을 CVD 방법으로 증착하고 트랜지스터영역(T11)의 소정 부분에만 잔류하도록 포토리소그래피 방법으로 패터닝하여 게이트(53)를 형성한다.

도 4(E)를 참조하면, 트랜지스터영역(T11)의 게이트(53) 양측에 아세닉(As) 또는 인(P) 등의 N형의 불순물이 고농도로 도핑되어 소스 및 드레인영역으로 이용되는 불순물영역(55)을 형성하고, 접촉영역(BC11)에 보론(B) 또는 BF₃ 등의 P형 불순물이 고농도로 도핑된 기판접촉영역(57)을 형성한다. 상기에서, 불순물영역(55)은 접촉영역(BC11) 상에 포토레지스트 패턴을 형성한 후 이 포토레지스트 패턴과 게이트를 마스크로 사용하여 N형의 불순물을 높은 도우즈로 이온주입하므로써 형성된다. 그리고, 기판접촉영역(57)은 불순물영역(55)을 형성하기 위한 포토레지스트 패턴을 제거하고 다시 트랜지스터영역(T11) 상에 포토레지스트 패턴을 형성한 후 접촉영역(BC11)에 P형 불순물을 높은 도우즈로 이온주입하므로써 형성된다. 그 다음, 마스크로 사용된 포토레지스트 패턴을 제거한다.

도 5(A) 내지 (D)는 도 3에 도시된 반도체장치를 제1 실시 태양에 따른 제조공정도이다.

도 5(A)를 참조하면, 반도체기판(31) 상에 매립절연층(33)이 형성되고, 이 매립절연층(33) 상에 500~2000 Å 정도 두께의 P형 단결정실리콘층(35)이 형성된다. 단결정실리콘층(35) 상에 열산화방법에 의해 100~200 Å 정도 두께의 패드산화막(37)을 형성하고, 이 패드산화막(37) 상에 CVD 방법으로 질화실리콘 1000~2000 Å 정도 두께로 증착하여 마스크층(39)을 형성한다. 그리고, 마스크층(39) 및 패드산화막(37)을 단결정실리콘층(35)이 노출되도록 포토리소그래피 방법으로 패터닝하여 트랜지스터영역(T11) 및 접촉영역(BC11)으로 이루어진 활성영역과 제1 및 제2 필드영역(F11)(F12)으로 이루어진 필드영역을 한정한다.

도 5(B)를 참조하면, 단결정실리콘층(35) 상에 제1필드영역(F11)을 노출시키는 포토레지스트 패턴(41)을 형성한다. 그리고, 포토레지스트 패턴(41)을 식각마스크로 사용하여 단결정실리콘층(35)의 노출된 제1필드영역(F11)을 RIE 등의 방법으로 1/2정도, 즉 250~1000 Å 정도의 깊이로 이방성식각하여 홀(43)을 형성한다.

도 5(C)를 참조하면, 포토레지스트 패턴(41)을 제거하여 단결정실리콘층(35)의 제2필드영역(F12)을 노출시킨다. 그리고, 마스크층(39) 및 패드산화막(37)을 마스크로 사용하여 단결정실리콘층(35)의 노출된 부분에 열산화 방법으로 제1 및 제2필드산화막(47)(49)을 형성한다. 이때, 제1필드영역(F11)에서 단결정실리콘층(35)은 홀(43)에 의해 노출 면적이 크므로 제1필드절연막(47)은 산화 속도가 빠를 뿐만 아니라 두께가 얇으므로 짧은 시간 내에 매립절연층(33)과 접촉되게 형성된다. 그러나, 제2필드영역(F12)에 홀(43)이 형성되지 않았으므로 단결정실리콘층(35)의 표면적이 작으므로 산화속도가 늦을 뿐만 아니라 두께가 두껍기 때문에 매립절연층(33)과 접촉되지 않게 형성된다. 따라서, 제1필드산화막(47)은 매립절연층(33)과 연결되게 형성되어 소자들을 인접하는 소자들과 완전히 절연시키고, 제2필드산화막(49)은 매립절연층(33)과 연결되지 않게 형성되어 같은 활성영역 내의 트랜지스터영역(T11)과 접촉영역(BC11)이 연결되도록 한다. 그리고, 마스크층(39) 및 패드산화막(37)을 제거한다.

도 5(D)를 참조하면, 단결정실리콘층(35)의 표면에 열산화 방법으로 40~100 Å 정도 두께의 게이트산화막(51)을 형성한다. 그리고, 제1 및 제2 필드산화막(47)(49) 및 게이트산화막(51) 상에 불순물이 도핑된 비정질실리콘 또는 다결정실리콘을 CVD 방법으로 증착하고 트랜지스터영역(T11)의 소정 부분에만 잔류하도록 포토리소그래피 방법으로 패터닝하여 게이트(53)를 형성한다.

그 다음, 도 4(E) 공정을 수행한다.

도 6(A) 내지 (C)는 도 3에 도시된 반도체장치를 제2 실시 태양에 따른 제조 공정도이다.

도 6(A)를 참조하면, 반도체기판(31) 상에 매립절연층(33)이 형성되고, 이 매립절연층(33) 상에 500~2000 Å 정도 두께의 P형 단결정실리콘층(35)이 형성된다. 단결정실리콘층(35) 상에 열산화방법에 의해 100~200 Å 정도 두께의 패드산화막(37)을 형성하고, 이 패드산화막(37) 상에 CVD 방법으로 질화실리콘을 1000~2000 Å 정도 두께로 증착하여 마스크층(39)을 형성한다. 그리고, 마스크층(39) 및 패드산화막(37)을 단결정실리콘층(35)이 노출되도록 포토리소그래피 방법으로 패터닝하여 트랜지스터영역(T11) 및 접촉영역(BC11)으로 이루어진 활성영역과 제1 및 제2 필드영역(F11)(F12)으로 이루어진 필드영역을 한정한다.

도 6(B)를 참조하면, 단결정실리콘층(35) 상에 제2필드영역(F12)을 노출시키는 포토레지스트 패턴(59)을 형성한다. 그리고, 포토레지스트 패턴(59)을 마스크로 사용하여 단결정실리콘층(35)의 노출된 제2필드영역(F12)에 산화를 억제하는 질소 또는 불소 등의 이온을 주입하여 이온주입영역(61)을 형성한다.

도 6(C)를 참조하면, 포토레지스트 패턴(59)을 제거하여 단결정실리콘층(35)의 제2필드영역(F12)을 노출시킨다. 그리고, 마스크층(39) 및 패드산화막(37)을 마스크로 사용하여 단결정실리콘층(35)의 노출된 부분에 열산화 방법으로 제1 및 제2필드산화막(47)(49)을 형성한다. 이 때, 제1필드산화막(47)을 매립절연층(33)과 접촉되게 형성한다. 그러나, 제2필드영역(F12)에 형성된 이온주입영역(61)의 질소 이온에 의해 제2필드산화막(49)은 산화 속도가 늦게되어 매립절연층(33)과 접촉되지 않게 형성된다. 따라서, 제1필드산화막(47)은 매립절연층(33)과 연결되게 형성되어 소자들을 인접하는 소자들과 완전히 절연시키고, 제2필드산화막(49)은 매립절연층(33)과 연결되지 않게 형성되어 같은 활성영역 내의 트랜지스터영역(T11)의 접촉영역(BC11)이 연결되도록 한다.

그 다음, 도 5(D) 이후의 공정을 수행한다.

도 7(A) 내지 (C)는 도 3에 도시된 반도체장치를 제3 실시 태양에 따른 제조 공정도이다.

도 7(A)를 참조하면, 반도체기판(31) 상에 매립절연층(33)이 형성되고, 이 매립절연층(33) 상에 500~2000 Å 정도 두께의 P형 단결정실리콘층(35)이 형성된다. 단결정실리콘층(35) 상에 열산화방법에 의해 100~200 Å 정도 두께의 패드산화막(37)을 형성한다. 그리고, 패드산화막(37) 상에 단결정실리콘을 CVD 방법으로 300~1500 Å 정도 두께로 증착하여 완충층(63)을 형성하고, 이 완충층(63) 상에 질화실리콘을 CVD 방법으로 1000~2000 Å 정도 두께로 증착하여 마스크층(39)을 형성한다. 그리고, 마스크층(39)을 완충층(63)이 노출되도록 포토리소그래피 방법으로 패터닝하여 트랜지스터영역(T11) 및 접촉영역(BC11)으로 이루어진 활성영역과 제1 및 제2 필드영역(F11)(F12)으로 이루어진 필드영역을 한정한다.

도 7(B)를 참조하면, 단결정실리콘층(35) 상에 제1필드영역(F11)을 노출시키는 포토레지스트 패턴(65)을 형성한다. 그리고, 포토레지스트 패턴(65)을 마스크로 사용하여 제2필드영역(F12)의 완충층(63) 및 패드산화막(37)을 단결정실리콘층(35)이 노출되도록 패터닝한다.

도 7(C)를 참조하면, 포토레지스트 패턴(65)을 제거하여 제2필드영역(F12)의 완충층(63)을 노출시킨다. 그리고, 마스크층(39), 완충층(63) 및 패드산화막(37)을 마스크 사용하여 단결정실리콘층(35)의 노출된 부분에 열산화 방법으로 제1 및 제2필드산화막(47)(49)을 형성한다. 이 때, 제1필드산화막(47)을 매립절연층(33)과 접촉되게 형성한다. 그러나, 제2필드산화막(49)은 제2필드영역(F12)에 형성된 완충층(63)이 빠른 속도로 산화된 후 단결정실리콘층(35)으로 산소가 확산되는 것을 억제하게 된다. 그러므로, 제2필드산화막(49)은 완충층(63)이 산화된 후 단결정실리콘층(63)이 산화되는 것을 억제하여 매립절연층(33)과 접촉되지 않게 된다. 따라서, 제1필드산화막(47)은 매립절연층(33)과 연결되게 형성되어 소자들을 인접하는 소자들과 완전히 절연시키고, 제2필드산화막(49)은 매립절연층(33)과 연결되지 않게 형성되어 같은 활성영역 내의 트랜지스터영역(T11)과 접촉영역(BC11)이 연결되도록 한다.

그 다음, 도 5(D) 이후의 공정을 수행한다.

상술한 바와 같이 본 발명에 따른 반도체장치는 트랜지스터영역 및 접촉영역으로 이루어져 소자들이 형성되는 활성영역을 한정하는 제1필드영역에 형성되는 제1필드산화막을 매립절연층과 접촉되게 형성하여 인접하는 소자들을 전기적으로 완전히 분리시키고, 활성영역 내에 트랜지스터영역 및 접촉영역을 한정하는 제2필드영역에 제2필드산화막을 매립절연층과 접촉되지 않도록 형성한다.

발명의 효과

따라서, 본 발명은 활성영역 마다 서로 다른 기판 전압을 인가하여 소자 및 회로의 최적화가 용이하며, 또한, CMOS 구조에서 활성영역을 전기적으로 완전히 분리하므로 래치-업 현상이 발생하는 것을 방지할 수 있는 잇점이 있다.

(57) 청구의 범위

청구항 1. 반도체기판과,

상기 반도체기판 상에 형성된 매립절연층과,

상기 매립절연층 상에 이격되게 형성된 제1도전형의 단결정실리콘층과,

상기 단결정실리콘층에 트랜지스터영역 및 접촉영역으로 이루어진 활성영역을 한정하는 제1필드영역에 상기 매립절연층과 접촉되게 형성되는 제1필드산화막과,

상기 단결정실리콘층에 상기 트랜지스터영역과 상기 접촉영역을 한정하는 제2필드영역에 상기 매립절연층과 접촉되지 않게 형성되는 제2필드산화막과,

상기 단결정실리콘층의 트랜지스터영역 상에 게이트산화막을 개재시켜 형성된 게이트와,

상기 단결정실리콘층의 트랜지스터영역에 제2도전형의 불순물이 고농도로 도핑되어 형성된 불순물영역

과,

상기 단결정실리콘층의 접촉영역에 제1도전형의 불순물이 고농도로 도핑되어 형성된 기판접촉영역을 포함하는 반도체장치.

청구항 2. 청구항 1에 있어서,

상기 반도체기판의 제1도전형의 실리콘기판으로 이루어진 반도체장치.

청구항 3. 청구항 1에 있어서,

상기 반도체기판의 제1도전형 또는 제2도전형의 실리콘기판으로 이루어진 반도체장치.

청구항 4. 청구항 1에 있어서,

상기 제1 및 제2필드산화막이 STI(Shallow Trench Isolation) 구조로 형성된 반도체장치.

청구항 5. 청구항 1에 있어서,

상기 제1 및 제2필드산화막이 LOCOS(Local Oxidation of Silicon) 계열의 구조로 형성된 반도체장치.

청구항 6. 반도체기판 상에 매립절연층이 형성되고, 상기 매립절연층 상에 형성된 제1도전형의 단결정실리콘층 상에 패드산화막 및 마스크층을 형성하고 패터닝하여 트랜지스터영역 및 접촉영역으로 이루어진 활성영역과 제1 및 제2 필드영역으로 이루어진 필드영역을 한정하는 공정과,

상기 단결정실리콘층의 상기 제1 필드영역을 제1 이방성식각하여 제1홈을 형성하는 공정과,

상기 단결정실리콘층의 상기 제2필드영역을 제2이방성식각하여 제2홈을 형성함과 동시에 상기 제1홈도 식각하여 상기 매립절연층을 노출시키는 공정과,

상기 마스크층 및 상기 패드산화막을 제거하고 상기 제1 및 제2 홈 내부에 제1 및 제2필드산화막을 형성하는 공정을 구비하는 반도체장치의 제조방법.

청구항 7. 청구항 6에 있어서,

상기 단결정실리콘층의 상기 트랜지스터영역 상에 게이트산화막과 게이트를 형성하는 공정과,

상기 단결정실리콘의 상기 트랜지스터영역 내에 소오스 및 드레인영역으로 이용되는 제2도전형의 불순물 영역을 형성하는 공정과,

상기 단결정실리콘의 상기 접촉영역 내에 제1도전형의 기판접촉영역을 형성하는 공정을 더 구비하는 반도체장치의 제조방법.

청구항 8. 청구항 6에 있어서,

상기 단결정실리콘층을 제1이방성식각하여 상기 제1홈을 250~1000Å의 깊이로 형성하는 반도체장치의 제조방법.

청구항 9. 청구항 6에 있어서,

상기 제1 및 제2필드산화막을 형성하는 공정은,

상기 단결정실리콘층 상에 상기 제1 및 제2홈을 채우도록 산화실리콘층을 증착하는 단계와,

상기 산화실리콘을 제1 및 제2홈의 내부에만 잔류하고 상기 단결정실리콘층의 표면이 노출되도록 에치백하는 단계를 구비하는 반도체장치의 제조방법.

청구항 10. 반도체기판 상에 매립절연층이 형성되고, 상기 매립절연층 상에 형성된 제1도전형의 단결정실리콘층 상에 패드산화막 및 마스크층을 형성하고 패터닝하여 트랜지스터영역 및 접촉영역으로 이루어진 활성영역과 제1 및 제2 필드영역으로 이루어진 필드영역을 한정하는 공정과,

상기 단결정실리콘층의 상기 제1필드영역에 홈을 형성하는 공정과,

상기 마스크층 및 상기 패드산화막을 마스크로 사용하여 상기 단결정실리콘층의 노출된 부분을 산화하여 상기 홈이 형성된 상기 제1 필드영역에 상기 매립절연층과 접촉되는 제1필드산화막과 상기 제2필드영역에 상기 매립절연층과 접촉되지 않는 제2필드산화막을 형성하는 공정과,

상기 마스크층 및 상기 패드산화막을 제거하고 상기 단결정실리콘층의 상기 트랜지스터영역 상에 게이트산화막과 게이트를 형성하는 공정과,

상기 단결정실리콘의 상기 트랜지스터영역 내에 소오스 및 드레인영역으로 이용되는 제2도전형 불순물 영역을 형성하는 공정과,

상기 단결정실리콘의 상기 접촉영역 내에 제1도전형의 기판접촉영역을 형성하는 공정을 구비하는 반도체장치의 제조방법.

청구항 11. 청구항 10에 있어서,

상기 홈을 250~1000Å의 깊이로 이방성식각하여 형성하는 반도체장치의 제조방법.

청구항 12. 반도체기판 상에 매립절연층이 형성되고, 상기 매립절연층 상에 형성된 제1도전형의 단결정실리콘층 상에 패드산화막 및 마스크층을 형성하고 패터닝하여 트랜지스터영역 및 접촉영역으로 이루어진 활성영역과 제1 및 제2 필드영역으로 이루어진 필드영역을 한정하는 공정과,

상기 단결정실리콘층의 상기 제2 필드영역에 산화를 억제하는 이온을 주입하는 공정과,

상기 마스크층 및 상기 패드산화막을 마스크로 사용하여 상기 단결정실리콘층의 노출된 부분을 산화하여 상기 제1필드영역에 상기 매립절연층과 접촉되는 제1필드산화막과 상기 제2필드영역에 상기 매립절연층과 접촉되지 않는 제2필드산화막을 형성하는 공정과,

상기 마스크층 및 상기 패드산화막을 제거하고 상기 단결정실리콘층의 상기 트랜지스터영역 상에 게이트산화막과 게이트를 형성하는 공정과,

상기 단결정실리콘의 상기 트랜지스터영역 내에 소오스 및 드레인영역으로 이용되는 제2도전형의 불순물 영역을 형성하는 공정과,

상기 단결정실리콘의 상기 접촉영역 내에 제1도전형의 기판접촉영역을 형성하는 공정을 구비하는 반도체 장치의 제조방법.

청구항 13. 청구항 12에 있어서,

상기 단결정실리콘층의 상기 제2필드영역에 산화를 억제하기 위해 질소 또는 불소 이온을 주입하는 반도체 장치의 제조방법.

청구항 14. 반도체기판 상에 매립절연층이 형성되고, 상기 매립절연층 상에 형성된 제1도전형의 단결정실리콘층 상에 패드산화막, 완충층 및 마스크층을 형성하고 상기 완충층이 노출되도록 상기 마스크층을 패터닝하여 트랜지스터영역 및 접촉영역으로 이루어진 활성영역과 제1 및 제2필드영역으로 이루어진 필드영역을 한정하는 공정과,

상기 제1필드영역의 상기 완충층 및 상기 패드산화막을 상기 단결정실리콘층이 노출되도록 패터닝하는 공정과,

상기 제1필드영역의 노출된 단결정실리콘층과 상기 제2필드영역의 완충층을 산화하여 상기 매립절연층과 접촉되는 제1필드산화막과 상기 매립절연층과 접촉되지 않는 제2필드산화막을 형성하는 공정과,

상기 마스크층, 상기 완충층 및 상기 패드산화막을 제거하고 상기 단결정실리콘층의 상기 트랜지스터영역 상에 게이트산화막과 게이트를 형성하는 공정과,

상기 단결정실리콘의 상기 트랜지스터영역 내에 소오스 및 드레인영역으로 이용되는 제2도전형의 불순물 영역을 형성하는 공정과,

상기 단결정실리콘의 상기 접촉영역 내에 제1도전형의 기판접촉영역을 형성하는 공정을 구비하는 반도체 장치의 제조방법.

청구항 15. 청구항 14에 있어서,

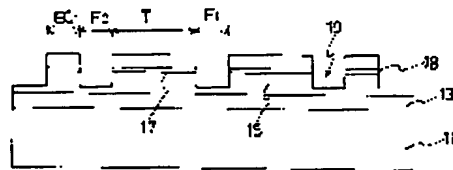
상기 완충층을 다결정실리콘으로 형성하는 반도체 장치의 제조방법.

청구항 16. 청구항 15에 있어서,

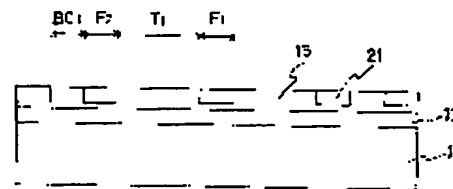
상기 완충층을 300~1500 Å의 두께로 형성하는 반도체 장치의 제조방법.

도면

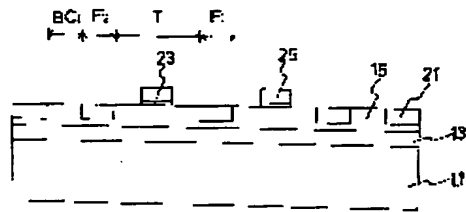
도면 1a



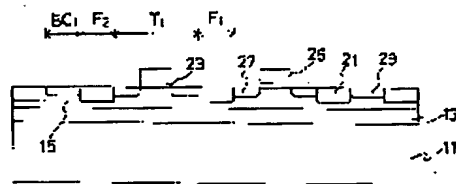
도면 1b



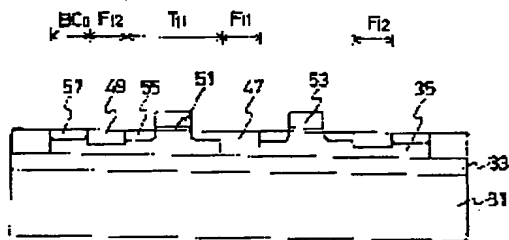
도 10



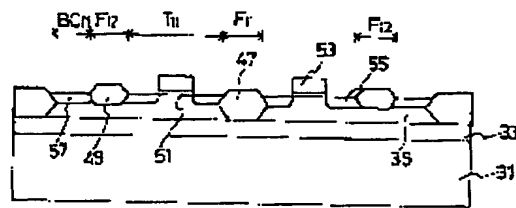
도 10d



도 12



도 13



도 14a

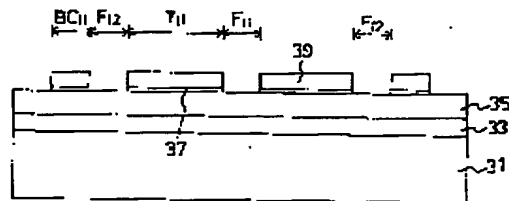


図 4b

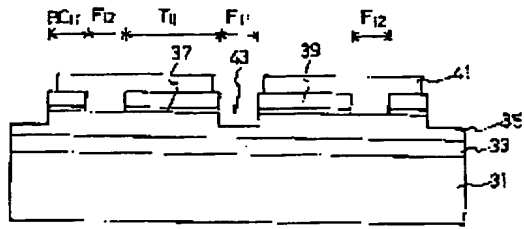


図 4c

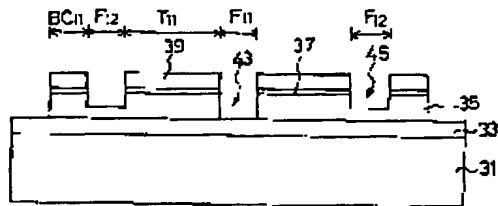


図 4d

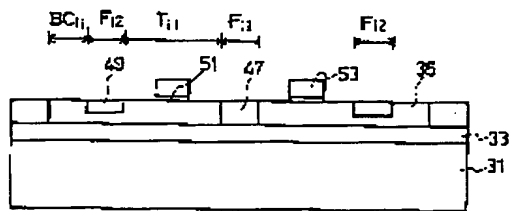


図 4e

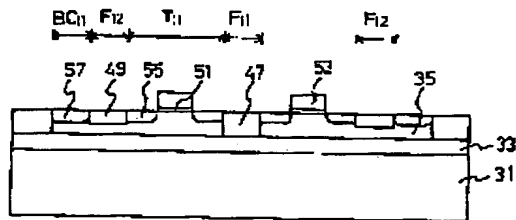


図 5a

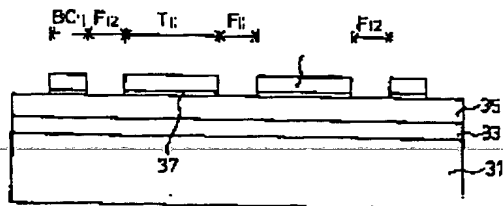


図 15b

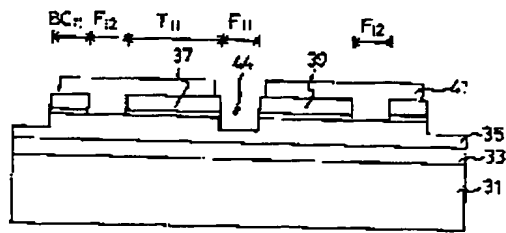


図 15c

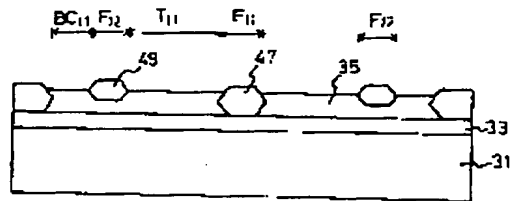


図 15d

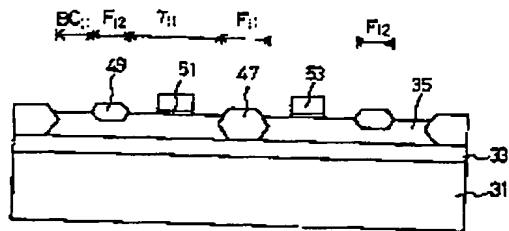


図 16a

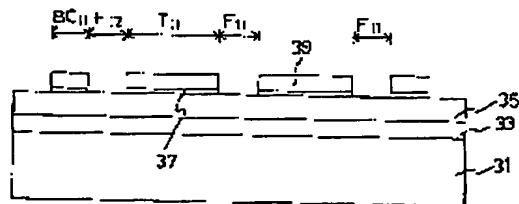


図 16b

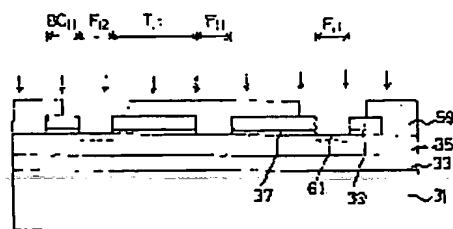


図 276

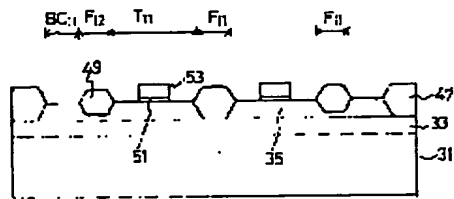


図 277a

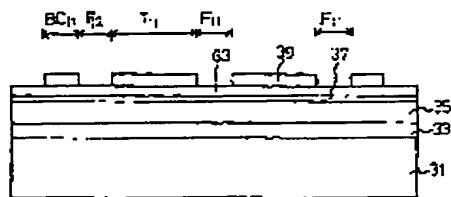


図 277b

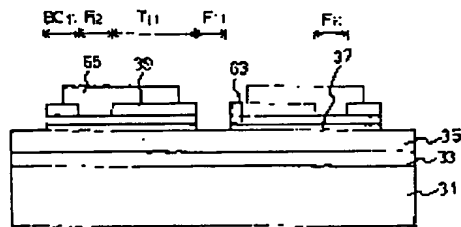


図 277c

